Japan Patent Office
Public Patent Disclosure Bulletin

Public Patent Bulletin Disclosure No.: S63-244389
Public Patent Bulletin Disclosure Date: October 11, 1988
Request for Examination: Not yet made
Number of Inventions: 1
Total Pages: 5

Int.CI.	Identification Code	Internal File Nos.
G11C 11/34	325	J-8522-5B
H01L 21/10		U-8522-5B
		V-8624-5F

Title of Invention: Semiconductor memory device

Patent Application Number: 62-76173
Patent Application Date: March 31, 1987

Inventor: Horiguchi Fumio
Toshiba Research Center, Komuki
Toshiba-cho 1-banchi, Saiwai-cho,
Kawasaki-shi, Kanagawa-ken, Japan

Applicant: Toshiba, Ltd., Horikawa-cho 72-
banchi, Saiwai-cho, Kawasaki-shi,
Kanagawa-ken, Japan

Agent: Suzue, Takehiko and 2 others

SEMICONDUCTOR MEMORY DEVICE

What Is Claimed Is:

1. A semiconductor memory device with sync oscillation circuitry and memory circuitry integrated on the same semiconductor chip, wherein said sync oscillation circuitry produces a wavelength that is an even multiple of an external control signal, synchronized with that signal, and wherein said memory circuitry controls at least one of either data reading or writing operations by synchronizing with the output signal from said sync oscillation circuitry.

2. The semiconductor memory device according to Claim 1, wherein logical arithmetic circuitry is provided on the chip that is equipped with said sync oscillation circuitry and memory circuitry, with said logical arithmetic circuitry performing logical arithmetic operations on data read from said memory circuitry synchronized with the output signal from said sync oscillation circuitry.

3. The semiconductor memory device according to Claim 1, wherein said memory circuitry consists of dynamic-type memory with multiple integrated single-transistor/single-capacitor memory cells.

4. The semiconductor memory device according to Claim 1, wherein said memory circuitry continuously performs at least one of either data reading or writing operations by synchronizing with the output signal from said sync oscillation circuitry.

BACKGROUND OF THE INVENTION

PURPOSE

1. Field of the Invention

This invention pertains to a semiconductor memory device. In particular, it pertains to semiconductor memory device with improvements to the memory circuit input and output means.

2. Description of the Related Art

The capacity of MOS-type semiconductor integrated circuits, especially that of dynamic RAM (dRAM) has been quadrupling every three years. Recently 1M-bit dRAM has gone into commercial use, and the 1986 ISSCC featured a number of papers on 4M-bit dRAM. These products are likely to be on the market soon.

As dRAM capacity increases, there are increasing developments more advanced functionality, including multi-bit I/O and diversification of operating modes. In particular, operating modes such as page mode, nibble mode and static column mode are enabling access at speeds that rival static RAM, since they are able to carry out read and write operations on data from multiple memory cells connected to selected word lines. These operating modes make it possible to serially input and output data, which greatly increases computer performance as a result, while also contributing to image quality enhancement in image memory applications.

Typically, cache memory is placed between the computer's main memory device and the central processing unit (CPU) in order to increase the operating speed of data exchange, which is often performed in fixed-length data block units. In addition, in order to increase memory throughput, an "interleaved" system configuration is applied in memory card groups that comprise the main memory device are divided into multiple banks with continuous addressing assigned to carry out parallel processing.

This configuration is designed to shorten average memory cycling time.

If the same sort of thing can be done within a chip, it would be possible to perform continuous serial access at high speeds. In other words, if the initial first bit takes row address A_R produced by RAS and then takes column address AC with timing from CAS, as shown in Fig. 6, then it is possible to write or read data at the specified address and then to write or read the data again synchronized with the CAS toggle signal without specifying an address.

However, the following problem arises when attempting to further accelerate operation. When an external control signal is applied to chip internal circuitry (memory circuitry), as shown in Fig. 7, the external control signal is input into pad 71 and then input into the memory circuitry via input holding circuit 72, which includes a time constant CR. As a result, CAS and other external control signals input into the memory circuitry are delayed by the time constant CR in input holding circuit 72. Consequently, after passing through input holding circuit 72, the waveform deteriorates, and those that had an amplitude of 5V shrink to under 1V, even when an input signal is input with a sudden rise property or with high wavelength. As a result, the internal circuitry ceases to respond.

Said CR time constant τ is typically set to around 3 nsec, with R = 3KΩ and C = 1pF. When the input frequency rises above 100 MHz, this corresponds to 1/3 or more of the 10 nsec cycle. In response to such a high frequency CAS signal, the amplitude of the effective CAS input signal applied to the internal circuitry declines as described above, and the system ceases to operate normally. If the input holding circuit time constant were reduced, the system could respond to higher frequencies,

but the time constant cannot be reduced because it would raise the static electric resistance on the input pins.

SUMMARY OF THE INVENTION

In the past, when RAS, CAS or other external control signals were set to high frequencies in order to perform high-speed dRAM serial access, the CR time constant in the input holding circuit caused the waveform to deteriorate, and the internal circuitry ceased responding as a result, which is a problem. Thus, the input holding circuit CR time constant imposed a limit on high-speed serial access, which made it difficult to achieve sufficient speed increases.

This invention takes the foregoing circumstances into account. Its objective is to provide a semiconductor integrated circuit device capable of setting CAS, RAS and other dynamic RAM internal control signals to high frequencies irrespective of the input holding circuit CR time constant on the chip, and thereby to realize high-speed operation.

COMPOSITION OF THE INVENTION

MEANS OF SOLVING THE PROBLEM

The essence of this invention is to perform read and write operations on data in memory circuits using a signal, based on an external control signal, that is generated within the chip, is synchronized with the external control signal, and has a frequency that is an even multiple of that of the external control signal.

In other words, it is a semiconductor integrated circuit device that integrates sync oscillation circuitry and memory circuitry on the same semiconductor chip, with said sync

oscillation circuitry generating frequencies of an even number multiple of the external control signal, synchronized with said external control signal. In addition, the device is designed to control at least one or the other of the read and write operations performed on data in said memory circuitry synchronized with the output signal of said sync oscillation circuitry.

OPERATION OF THE INVENTION

With this invention, the inclusion of sync oscillation circuitry on the chip makes it possible to avoid degradation of the waveform in the input module when high-frequency signals are input from outside. As a result, it is possible to easily apply high-frequency signals to the memory circuitry. Moreover, since the oscillation circuitry output signals are synchronized with the external control signals, there is no problem with mis-timing of memory circuitry signals when receiving or sending them externally.

EMBODIMENT OF THE INVENTION

An embodiment of this invention will be described below in reference to detailed drawings.

Fig. 1 presents an overall configuration diagram showing a semiconductor integrated circuit device that is the subject of an embodiment of this invention. 11 in the drawing is a sync oscillation circuit that generates a signal synchronized with an external control signal and having a frequency double that of said signal. 12 is a memory circuit that controls date write and read operations synchronized with the output signal from this circuit 11. These circuits 11 and 12 are formed within the same

semiconductor chip 10. RAS is input into memory circuit 12, while CAS is input into memory circuit 12 via sync oscillation circuit 11. An input holding circuit (not shown) is placed between these circuits 11 and 12 and the input pad, as shown in said Fig. 7. In addition, memory circuit 12 consists of, for example, dRAM comprising single-transistor/single capacitor memory cells.

As shown in Fig. 2, sync oscillation circuit 11 comprises oscillation circuit 21 and frequency multiple generation circuit 22. Oscillation circuit 21 returns 2-level inverter output to the input side via a condenser. It outputs, for example, a 200 MHz oscillation frequency signal and supplies it to frequency multiple generation circuit 22 as clock ϕ. Frequency multiple generation circuit 22 inputs output signal ϕ from oscillation circuit 21 and a CAS signal (f_1) and outputs a signal ($2f_1$) with double the frequency. The specific configuration is shown in Fig. 3. In other words, it comprises a combination of two D-flip-flops (abbreviated as DFF hereinafter) 31 and 32 and an inclusive OR gate 33.

Here, the operation of frequency multiple generation circuit 22 will be described in reference to the timing chart in Fig. 4. When the CAS or other signal (f_1) is input to input terminal In of DFF31, clock ϕ delays output signal Q_1 of DFF31, while output signal Q_2 of DFF32 delays signal Q_1 for one cycle of clock ϕ. Consequently, provided that the frequency of clock ϕ is set sufficiently higher than the signal frequency (f_1) applied to input terminal In, it is possible to obtain an output signal ($2f_1$) with double the frequency of the input signal by taking the inclusive OR of Q_1 and Q_2. Similarly, by applying this operation for multiple increments, it is possible to obtain a waveform with a frequency multiple of 2^n.

The operation of this device so configured will be explained in reference to the timing chart in Fig. 5.

Row address A_R is obtained based on the RAS drop edge. Memory circuit 12 word line selection is performed, after which column address A_C is obtained based on the CAS drop edge. This specifies the start location for serial access. Thereafter, internal multiple frequency CAS2 signal is created synchronized with CAS toggle by said frequency multiple generation circuit 11 [sic]. Data sensing and output is performed synchronized with the foregoing, and as a result, the output signal is output synchronized with double the frequency of CAS.

Consequently, signal CAS2, which has a frequency double that of the CAS that was input to chip 10, is input to memory circuit 12, which performs high-speed data reading. In addition, in this instance, it becomes possible to activate the chip internal components using high-frequency control signals that chip 10 could not receive. Moreover, it becomes possible to synchronize at low frequency with external sources while synchronizing with the frequency operating internally. This makes it possible to install an input holding circuit with a comparatively large time constant in the external control signal input circuitry. Therefore, it becomes possible to synchronize internal high-frequency signals with external low-frequency control signals while elevating static electric resistance on the input pins, thereby enabling high-speed memory access operations.

This invention is not limited to the embodiment described heretofore. In the embodiment, only memory data reading operations are synchronized with the output signal from the sync oscillation circuit. However, it is possible to perform the same operation with data writing. In this instance, the chip may be equipped with buffer memory to store data to be written as a

preliminary stage in high-speed access. In addition, when using data written or read at high speed within the chip to perform multiplication, addition or other logical arithmetic operations, there is no need to synchronize data I/O with the output signal of the sync oscillation circuit. Data processing within the chip may be completed synchronized with the output signal of the sync oscillation circuit, with only the data processing result transmitted outside the chip. This makes it possible to achieve high-speed operation in which operations run a low speeds outside the chip but within the chip synchronized at frequencies that are even multiples of the outside signals. In this instance, logical arithmetic circuitry may be place on the same chip as memory circuitry, etc.

In addition, a sync oscillation circuit was shown that outputs a signal with double the frequency, but this invention is not limited to double only. Any even multiple is acceptable. Furthermore, the configuration of the sync oscillation circuit is not limited to those shown in Fig. 2 and Fig. 3. Appropriate changes may be made according to design specifications. Similarly, memory circuitry is not limited to single-transistor/single- capacitor dRAM. Various types of memory may be used. Aside from these, various changes can be implemented so long as they fall within the scope of the intent of this invention.

BENEFITS OF THE INVENTION

As described above, under this invention, a signal is generated within the chip synchronized with an external control signal and having a frequency that is an even multiple of that external control signal, based upon which memory circuit data read and write operations are controlled. As a result, it is

possible to realize high-speed memory circuit operation unrelated to the CR time constant, etc., of the input holding circuit on the chip.

Brief Explanation of Drawings

Fig. 1 shows an overall configuration of a semiconductor integrated circuit device that is the subject of an embodiment of this invention. Fig. 2 shows a circuit configuration diagram for a specific configuration for the sync oscillation circuit. Fig. 3 shows a circuit configuration diagram for a specific configuration of the frequency multiple generation circuit. Fig. 4 shows a timing chart describing the operation of the frequency multiple generation circuit. Fig. 5 shows a timing chart describing the operation of the device in the embodiment. Fig. 6 shows a timing chart describing the operation of devices in prior art. Fig. 7 shows a circuit configuration diagram describing problem issues in prior art.

10 Semiconductor chip
11 Frequency multiple generation circuit
12 Memory circuit
21 Oscillation circuit
22 Frequency multiple generation circuit
31, 32 D-flip-flops
33 Inclusive OR gate

Agent for Applicant: Suzue Takehiko

Fig. 1

11 Sync oscillation circuit
12 Memory circuit

Fig. 2

22 Frequency multiple generation circuit

Fig. 3
Fig. 4

Fig. 5

Fig. 6

Fig. 7

Signal applied to internal circuitry

⑲日本国特許庁（JP）　⑪特許出願公開

⑫公開特許公報（A）　昭63－244389

⑤1Int.Cl.⁴	識別記号	庁内整理番号	⑬公開　昭和63年(1988)10月11日
G 11 C 11/34		J－8522－5B	
		U－8522－5B	
H 01 L 27/10	325	V－8624－5F	審査請求　未請求　発明の数 1　（全5頁）

⑤4発明の名称　半導体集積回路装置

⑳特　願　昭62－76173
㉒出　願　昭62(1987)3月31日

⑦2発明者　堀口　文男　神奈川県川崎市幸区小向東芝町1番地　株式会社東芝総合研究所内
⑦1出願人　株式会社東芝　神奈川県川崎市幸区堀川町72番地
⑦4代理人　弁理士　鈴江　武彦　外2名

明　細　書

1．発明の名称

半導体集積回路装置

2．特許請求の範囲

(1)　同一半導体チップ上に同期発振回路とメモリ回路を集積してなる半導体集積回路装置であって、前記同期発振回路は外部制御信号に同期して該信号の整数倍の周波数を発振するものであり、前記メモリ回路はそのデータの読出し及び書込みの少なくとも一方を前記同期発振回路の出力信号に同期して制御するものであることを特徴とする半導体集積回路装置。

(2)　前記同期発振回路及びメモリ回路を備えたチップ上に論理演算回路が設けられており、この論理演算回路は前記同期発振回路の出力信号に同期して前記メモリ回路から読出されたデータの論理演算を行うものであることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

(3)　前記メモリ回路は、1トランジスタ／1キャパシタからなるメモリセルを複数個集積してなるダイナミック型メモリであることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

(4)　前記メモリ回路は、データの読出し及び書込みの少なくとも一方を前記同期発振回路の出力信号に同期して連続的に行うものであることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3．発明の詳細な説明

［発明の目的］

（産業上の利用分野）

本発明は、半導体集積回路装置に係わり、特にメモリ回路の入出力手段の改良をはかった半導体集積回路装置に関する。

（従来の技術）

MOS型半導体メモリのうち特にダイナミックRAM（dRAM）は、その容量が4倍／3年の割合いで増加の一途を辿って来た。最近、1MビットdRAMが実用段階に入り、1986年のISSCCでは4MビットdRAMの発表がいくつかなされ、その商品化も近い。

このようなｄＲＡＭの大容量化と共に、入出力の多ビット化、動作モードの多用化等機能面の開発も盛んである。特に、ページモード，ニブルモード，スタチックカラムモード等の動作モードは、選択されたワード線に接続される複数個のメモリセルの情報を高速に読み書きできるものとして、スタチックＲＡＭに匹敵する高速アクセスを可能とする。このような高速の動作モードはシリアルにデータを入出力することを可能とし、従ってコンピュータの性能向上をはかることができ、また画像メモリ等の応用において画質向上に寄与する。

コンピュータの主記憶装置と中央演算装置（ＣＰＵ）との間には通常、そのデータ交換の動作速度を速めるために緩衝装置（キャッシュメモリ）を介在させ、そのデータ交換を固定長の情報ブロック単位で行うことが多い。また、メモリのスループットを上げるために、主記憶装置を構成するメモリカード群を複数のバンクに分け、これらに連続したアドレスを割付けて並列処理を行わせる“インターリーブ”と呼ばれるシステム構成上の工夫を施して平均メモリサイクル時間の短縮をはかっている。

これと同様のことをチップ内で行えば、高速で連続的にシリアルアクセスを可能とすることができる。即ち、第６図に示すように、最初の１ビットはＲＡＳによるロウアドレスA_Rを取込み、次にＣＡＳのタイミングでカラムアドレスA_Cを取込むようにすれば、これによって指定したアドレスのデータを書込み或いは読出した後は、アドレスを指定することなく、ＣＡＳのトグル信号に同期してデータの書込み及び読出しが可能である。

しかしながら、さらに高速に動作をさせようとすると次のような問題が生じる。即ち、半導体チップ内の内部回路（メモリ回路）に外部制御信号を与える場合、第７図に示す如く外部制御信号はパッド７１に入力され、ＣＲの時定数を含む入力保護回路７２を介してメモリ回路に入力される。このため、メモリ回路に入力されるＣＡＳ等の外部制御信号は入力保護回路７２のＣＲ時定数により遅れる。従って、急峻な立上がり特性を持つ或いは高周波の入力信号を入れても、入力保護回路７２を通った後には波形がなまり、振幅も５Ｖあったものが１Ｖ以下と小さくなり、内部回路が応答しなくなる。

上記ＣＲの時定数では、通常Ｒ＝３ＫΩ，Ｃ＝１ｐＦとしてτ＝３nsec程度に設定されており、入力周波数１００ＭＨｚ以上となると、この周期１０nsecの１／３以上に相当するようになる。このように高い周波数のＣＡＳ信号に対しては上記のように内部回路に加わる実質的なＣＡＳの入力信号の振幅が減少し、正常動作をしなくなる。なお、入力保護回路の時定数を小さくすれば、より高周波まで応答できるが、入力ピンの静電耐圧を上げるためには時定数を小さくできない。

（発明が解決しようとする問題点）

このように従来、ｄＲＡＭの高速シリアルアクセスを行うためにＲＡＳ，ＣＡＳ等の外部制御信号を高周波にすると、入力保護回路のＣＲ時定数等により波形がなまり、その結果内部回路が応答しなくなる問題があった。このため、ｄＲＡＭの高速シリアルアクセスを行うには、入力保護回路のＣＲ時定数等による限界があり、十分な高速化を行うことは困難であった。

本発明は上記事情を考慮してなされたもので、その目的とするところは、チップ内部の入力保護回路のＣＲ時定数等に関係なく、ＣＡＳ，ＲＡＳ等のダイナミックＲＡＭの内部制御信号を高い周波数にすることができ、高速動作の実現を可能とした半導体集積回路装置を提供することにある。

［発明の構成］

（問題点を解決するための手段）

本発明の骨子は、外部制御信号に同期してチップ内部で外部制御信号の整数倍の周波数の信号を生成し、この信号に基づいてメモリ回路のデータ読出し及びデータ書込み等を行うことにある。

即ち本発明は、同一半導体チップ上に同期発振回路とメモリ回路を集積してなる半導体集積回路装置であって、前記同期発振回路により外部制御信号に同期して該信号の整数倍の周波数を発振させると共に、前記メモリ回路のデータの読出し及

び書込みの少なくとも一方を前記同期発振回路の出力信号に同期して制御するようにしたものである。

（作用）

本発明によれば、チップ内に同期発振回路を設けることにより、外部から高周波信号を入力する場合の入力部での波形のなまりを避けることができ、これによりメモリ回路に容易に高周波信号を印加することができる。しかも、発振回路の出力信号を外部制御信号と同期させているので、メモリ回路の信号を外部に取出す際に不都合が生じる等の問題もない。

（実施例）

以下、本発明の詳細を図示の実施例によって説明する。

第１図は本発明の一実施例に係わる半導体集積回路装置を示す概略構成図である。図中１１は外部制御信号に同期して該信号の２倍の周波数の信号を発振する同期発振回路、１２はこの回路１１の出力信号に同期してデータの読出し及び書込みを制御するメモリ回路であり、これらの回路１１，１２は同一半導体チップ１０内に形成されている。なお、ＲＡＳはメモリ回路１２に入力され、ＣＡＳは同期発振回路１１を介してメモリ回路１２に入力されており、これらの回路１１，１２と入力パッドとの間には前記第７図のような入力保護回路（図示せず）が設けられている。また、メモリ回路１２は、例えば１トランジスタ／１キャパシタからメモリセルを構成したｄＲＡＭである。

同期発振回路１１は、第２図に示す如く発振回路２１及び倍周波発生回路２２から構成されている。発振回路２１は２段のインバータの出力をコンデンサを介して入力側に帰還したものであり、例えば２００ＭＨｚの発振周波数の信号を出力し、これをクロックφとして倍周波発生回路２２に供給している。倍周波発生回路２２は、発振回路２１の出力信号φ，ＣＡＳ信号（f_1）を入力し、２倍の周波数の信号（$2f_1$）を出力するものであり、具体的には第３図に示す如く構成されている。即ち、２個のＤフリップフロップ（以下ＤＦＦと略記する）３１，３２とイクスクルーシブＯＲゲート３３との組合わせで構成されている。

ここで、倍周波発生回路２２の動作について、第４図のタイミングチャートを参照して説明する。ＤＦＦ３１の入力端ＩｎにＣＡＳ等の信号（f_1）が入力されると、ＤＦＦ３１の出力信号Q_1は上記信号をクロックφにより遅延したものとなり、ＤＦＦ３２の出力信号Q_2は信号Q_1をクロックφの１周期分遅延したものとなる。従って、入力端Ｉｎに加わる信号の周波数（f_1）よりもクロックφの周波数を十分高くしておけば、Q_1，Q_2のイクスクルーシブＯＲをとることにより、入力信号の２倍の周波数の出力信号（$2f_1$）を得ることができる。これと同様に、多数回この操作を加えれば、2^n倍の倍周波の波形が得られる。

このように構成された本装置の動作について、第５図のタイミングチャートを参照して説明する。

ＲＡＳの立下りエッジによりロウアドレスA_Rを取込み、メモリ回路１２のワード線の選択を行い、その後ＣＡＳの立下りエッジによりカラムアドレスA_Cを取込み、これによりシリアルアクセスの先頭番地を指定する。その後、前記倍周波発生回路１１によりＣＡＳのトグルに同期した内部倍周波ＣＡＳ２信号を作成し、これに同期してデータのセンス，出力を行うことにより、出力信号がＣＡＳの２倍に同期して出力されることになる。

従って、チップ１０内に入力するＣＡＳの２倍の周波数の信号ＣＡＳ２がメモリ回路１２に入力されることになり、メモリ回路１２では高速のデータ読出しが行われる。そしてこの場合、チップ１０が受けることが不可能な高周波の制御信号によりチップ内部を動作させることが可能であり、且つ内部で動いている周波数とは同期しながら、且つ低い周波数で外部と同期することができるため、外部制御信号入力回路には、比較的大きな時定数の入力保護回路を入れることができる。従って、入力ピンの静電耐圧を高めながら、内部の高周波制御信号と外部の低周波制御信号とを同期することが可能であり、メモリの高速アクセス動作

を実現することができる。

なお、本発明は上述した実施例に限定されるものではない。実施例ではメモリのデータ読出しのみを同期発振回路の出力信号に同期して行ったが、データ書込みも同様にして行うことができる。この場合、チップ内にバッファメモリを設けておき、高速アクセスする前段階として予め書込むべきデータをバッファメモリに格納すればよい。また、チップ内部で高速に書込み、読出されたデータを用いて加算、足算等の論理演算を行う場合には、同期発振回路の出力信号に同期してデータをチップ外に入出力する必要はなく、同期発振回路の出力信号に同期してチップ内部でデータの処理を完了し、そのデータの処理結果のみをチップ外に転送すればよい。これにより、チップ外では遅い周波数で動作し、チップ内部ではこれより整数倍の周波数で同期して動作すると云う高速動作を実現することができる。この場合、論理演算回路をメモリ回路等と同一チップに設ければよい。

また、同期発振回路としては外部制御信号の2倍の周波数の信号を出力するものを示したが、これは2倍のみに限るものではなく、整数倍であればよい。さらに、同期発振回路の構成は第2図及び第3図に何等限定されるものではなく、仕様に応じて適宜変更可能である。同様に、メモリ回路も1トランジスタ／1キャパシタのｄＲＡＭに限るものではなく、各種のメモリに適用可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

［発明の効果］

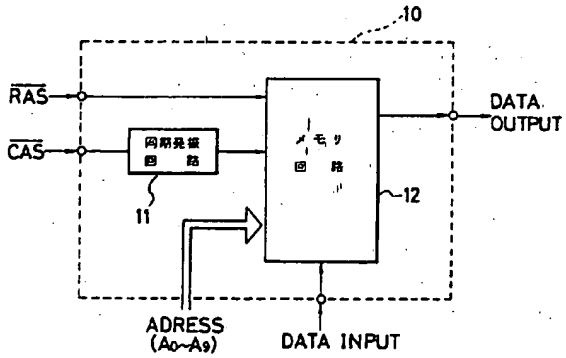
以上詳述したように本発明によれば、外部制御信号に同期してチップ内部で外部制御信号の整数倍の周波数の信号を生成し、この信号に基づいてメモリ回路のデータ読出しや書込み等を制御することにより、チップ内部の入力保護回路のＣＲ時定数等に関係なく、メモリ回路の高速動作を実現することができる。

4．図面の簡単な説明

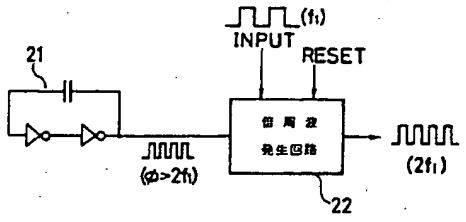
第1図は本発明の一実施例に係わる半導体集積回路装置を示す概略構成図、第2図は同期発振回路の具体的構成を示す回路構成図、第3図は倍周波発生回路の具体的構成を示す回路構成図、第4図は倍周波発生回路の動作を説明するためのタイミングチャート、第5図は実施例装置の動作を説明するためのタイミングチャート、第6図は従来装置の動作を説明するためのタイミングチャート、第7図は従来の問題点を説明するための回路構成図である。

１０…半導体チップ、１１…倍周波発生回路、１２…メモリ回路、２１…発振回路、２２…倍周波発生回路、３１，３２…Ｄフリップフロップ、３３…イクスクルーシブＯＲゲート。

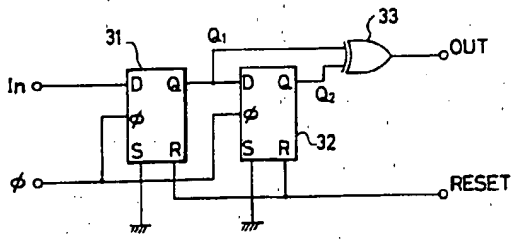
出願人代理人　弁理士　鈴江武彦



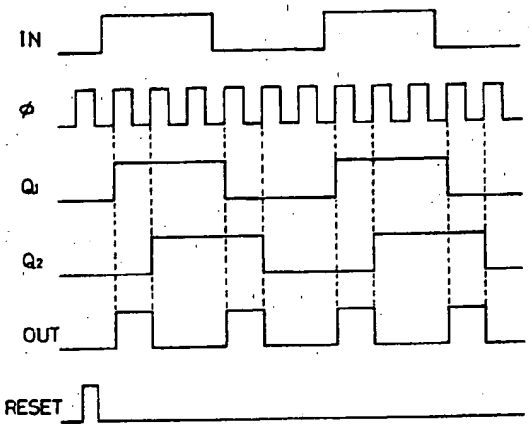
第 1 図



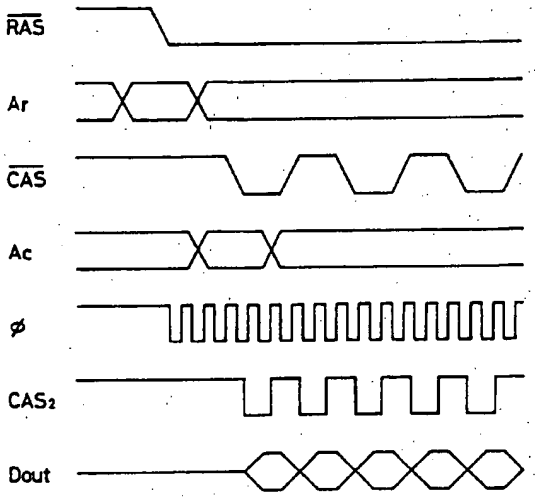
第 2 図



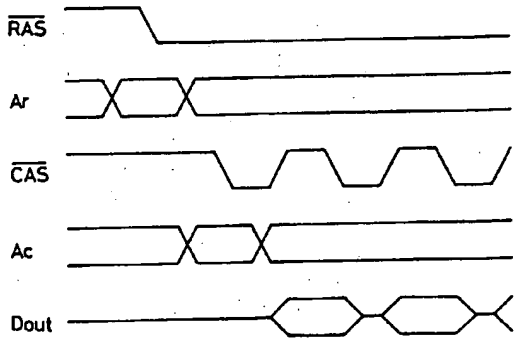
第 3 図



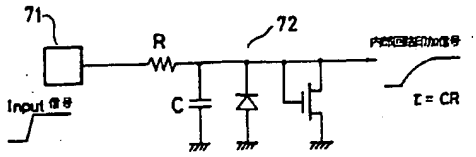
第 4 図



第 5 図



第 6 図



第 7 図